

## SIMULASI RANGKAIAN KOMBINASIONAL SEBAGAI MEDIA PEMBELAJARAN SISTEM DIGITAL PADA FAKULTAS TEKNIK UNIVERSITAS MUHAMMADIYAH JAKARTA

**Sugiartowo, Sitti Nurbaya Ambo**

Program Studi Teknik Informatika Universitas Muhammadiyah Jakarta,  
Jl. Cempaka Putih Tengah 27 Jakarta Pusat  
[sugiartowo@ftumj.ac.id](mailto:sugiartowo@ftumj.ac.id)<sup>1</sup>

### Abstrak

Saat ini proses pembelajaran di Fakultas Teknik Universitas Muhammadiyah Jakarta, khususnya pada Jurusan Teknik Informatika dan Teknik Elektro masih bersifat konvensional, yaitu dengan menggunakan buku dengan metode ceramah. Salah satu pembelajaran yang menggunakan metode ini adalah mata kuliah Sistem Digital. Dengan menggunakan metode ini dan waktu belajar yang singkat banyak mahasiswa yang kurang memahami cara kerja ataupun karakteristik dari Rangkaian Kombinasional yang terdiri dari : Rangkaian Comparator, Multiplexer, Demultiplexer, Adder, Decoder, Encoder dan Peraga Tujuh Segmen dengan baik dan benar. Berdasarkan permasalahan yang telah dijabarkan dibutuhkan suatu media berbantu komputer untuk mempermudah mahasiswa dan dosen melakukan proses belajar mengajar, yaitu suatu media pembelajaran yang disertai dengan simulasi. Media pembelajaran ini diharapkan dapat membantu mahasiswa dalam memahami materi, cara kerja maupun karakteristik dari Rangkaian Kombinasional dan membantu dosen dalam pelaksanaan pembelajaran terhadap siswa didiknya.

**Kata kunci** : Simulasi, Rangkaian Kombinasional, Media, Pembelajaran, Sistem Digital

### Abstract

Currently the learning process at the Faculty of Engineering, University of Muhammadiyah Jakarta, especially in the Department of Informatics and Electrical Engineering is still conventional, namely by using the book with the lecture method. One of the learning that methods uses this method is Digital Systems. By using method this and a short learning time, many students do not understand how to work or the characteristics of a combinational circuit consisting of: Series Comparator, Multiplexer, Demultiplexer, Adder, Decoder, Encoder and Seven Segment. Based on the problems that have been described, needed a computer-assisted media isto make it easier for students and lecturers to carry out the teaching and learning process, which is a learning medium accompanied by simulation. This learning media is expected to help students understand the material, the way of work and the characteristics of the Combinational Series and help the lecturer in the implementation of learning for his students.

**Keywords**: Simulation, Combinational Series, Media, Learning, Digital Systems

### PENDAHULUAN

Sistem digital merupakan matakuliah yang ada pada tingkat awal di Jurusan Teknik Informatika Universitas Muhammadiyah Jakarta dan menjadi matakuliah penunjang untuk matakuliah organisasi dan arsitektur komputer dan mikroprosesor serta mikrokontroler. Materi yang diajarkan pada

matakuliah sistem digital meliputi dasar - dasar gerbang logika, rangkaian kombinasional dan rangkaian sekuensial. Rangkaian kombinasional merupakan rangkaian yang kondisi keluarannya (*output*) dipengaruhi oleh kondisi masukan (*input*). Materi rangkaian kombinasional yang diajarkan terdiri dari dasar gerbang logika, aljabar boolean, karnaugh map, rangkaian kombinasional dan perancangan rangkaian

kombinasional. Melihat banyaknya materi yang diajarkan akan memberi kendala untuk mahasiswa karena tidak semua mahasiswa mampu memahami semua materi yang diajarkan. Akibat dari kendala tersebut nilai yang didapat pun tidak begitu memuaskan. Untuk itu diperlukan cara yang dapat membantu dalam mengurangi kendala tersebut salah satu cara yang digunakan dengan membuat simulasi rangkaian kombinasional sebagai media pembelajaran.

Aplikasi simulasi sebagai media pembelajaran banyak dikembangkan untuk tujuan tertentu yang dapat digunakan untuk bidang pendidikan, sebagai simulasi untuk mempermudah pemahaman dari suatu pelajaran. Menurut Achsin (1986:17-18) menyatakan bahwa tujuan penggunaan media pembelajaran adalah agar proses belajar mengajar yang sedang berlangsung dapat berjalan dengan tepat guna dan berdaya guna, untuk mempermudah bagi guru atau pendidik dalam menyampaikan informasi materi kepada anak didik, untuk mempermudah bagi anak didik dalam menyerap atau menerima serta memahami materi yang telah disampaikan oleh guru/pendidik.

Berdasarkan latar belakang tersebut, maka dibuatlah sebuah implementasi media pembelajaran simulasi rangkaian kombinasional digital. Dari hasil penelitian yang ditunjang dengan perangkat lunak pembelajaran diharapkan dapat memberikan manfaat bagi peran dosen dan mahasiswa menjadi lebih efektif dalam melaksanakan proses belajar mengajar, sekaligus meningkatkan pemahaman mahasiswa pada rangkaian - rangkaian kombinasional digital.

## KAJIAN PUSTAKA

### Gerbang Logika Dasar

Gerbang - gerbang logika dasar merupakan elemen dari rangkaian digital dan rangkaian digital merupakan kesatuan dari gerbang-gerbang logika dasar yang membentuk fungsi pemrosesan sinyal digital. Gerbang dasar logika terdiri dari 3 gerbang utama, yaitu Gerbang NOT , Gerbang AND dan Gerbang OR . Gerbang lainnya seperti Gerbang NAND, Gerbang NOR , Gerbang XOR dan Gerbang XNOR merupakan kombinasi dari 3 gerbang logika utama tersebut

#### a. Gerbang NOT

Gerbang NOT sering disebut dengan gerbang *inverter*. Gerbang ini merupakan gerbang logika yang paling mudah diingat. Gerbang NOT memiliki 1 buah saluran masukan (*input*) dan 1 buah saluran keluaran (*output*). Gerbang NOT akan selalu menghasilkan nilai logika yang berlawanan dengan kondisi logika pada saluran masukannya. Bila pada saluran masukannya berlogika 1 maka pada saluran keluarannya akan berlogika 0 dan sebaliknya, bila pada saluran masukannya berlogika 0 maka pada saluran keluarannya akan berlogika 1.



Gambar 1. Gerbang NOT

Persamaan aljabar *Boolean* untuk sebuah gerbang NOT ditulis:

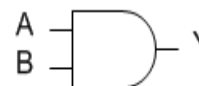
$$Y = \bar{A}$$

Tabel 1. Tabel kebenaran gerbang NOT

Input A	Output Y
0	1
1	0

#### b. Gerbang AND

Gerbang AND merupakan salah satu gerbang logika dasar yang memiliki 2 buah saluran masukan atau lebih dan sebuah saluran keluaran. Suatu gerbang AND akan menghasilkan sebuah keluaran biner tergantung dari kondisi masukan dan fungsinya. Prinsip kerja dari gerbang AND adalah kondisi keluaran akan berlogika 1 bila semua saluran masukan berlogika 1. Selain itu keluaran akan berlogika 0.



Gambar 2. Gerbang AND

Persamaan aljabar *Boolean* untuk sebuah gerbang AND ditulis:

$$Y = A.B$$

Tabel 2. Tabel kebenaran gerbang AND

Input		Output Y
A	B	
0	0	0
0	1	0
1	0	0
1	1	1

**c. Gerbang OR**

Gerbang OR merupakan salah satu gerbang logika dasar yang memiliki 2 buah saluran masukan atau lebih dan sebuah saluran keluaran . Berapapun jumlah saluran masukan yang dimiliki oleh sebuah gerbang OR, maka tetap memiliki prinsip kerja yang sama dimana kondisi keluarannya akan berlogika 1 bila salah satu atau semua saluran masukannya berlogika 1. Selain itu output berlogika 0.



Gambar 3. Gerbang OR

Persamaan aljabar *Boolean* untuk sebuah gerbang OR ditulis :  
 $Y = A + B$

Tabel 3. Tabel kebenaran gerbang OR

Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

**d. Gerbang NOR**

Gerbang NOR adalah pengembangan dari gerbang OR. Pengembangan ini berupa pemasangan gerbang NOT pada keluaran dari gerbang OR. Gambar 4 menunjukkan gabungan ini beserta simbol dari gerbang NOR. Karena pada dasarnya gerbang OR yang keluarannya dibalik maka tabel kebenarannya adalah kebalikan dari tabel kebenaran gerbang OR.



Gambar 4. Gerbang NOR

Persamaan aljabar *Boolean* untuk sebuah gerbang NOR ditulis:  
 $Y = \overline{A + B}$

Tabel 4. Tabel kebenaran gerbang NOR

Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

**e. Gerbang NAND**

Gerbang NAND adalah pengembangan dari gerbang AND. Gerbang ini sebenarnya adalah gerbang AND yang pada keluarannya dipasang gerbang NOT. Untuk lebih jelasnya lihat gambar 5 yang menunjukkan penggabungan yang dilakukan dan simbol dari NAND. Tabel kebenaran dari gerbang NAND yang merupakan kebalikan dari gerbang AND dapat dilihat dalam tabel 5.



Gambar 5. Gerbang NAND

Persamaan aljabar *Boolean* untuk sebuah gerbang NAND ditulis :  
 $Y = \overline{A \cdot B}$

Tabel 5. Tabel kebenaran gerbang NAND

Input		Output
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

**f. Gerbang XOR**

Gerbang XOR singkatan dari *Exclusive OR* dimana jika masukannya berlogika sama maka keluarannya akan berlogika 0 dan sebaliknya jika masukannya berlogika beda maka keluarannya akan berlogika 1.



Gambar 6. Gerbang XOR

Persamaan aljabar *Boolean* untuk sebuah gerbang XOR ditulis

$$Y = A \oplus B$$

Tabel 6. Tabel kebenaran gerbang XOR

Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

**g. Gerbang XNOR**

Gerbang XNOR singkatan dari *Exclusive NOT OR* adalah kebalikan dari gerbang XOR dimana jika masukannya berlogika sama maka keluarannya akan berlogika 1 dan sebaliknya jika

masukanya berlogika beda maka keluaranya akan berlogika 0.



Gambar 7. Gerbang XNOR

Persamaan aljabar Boolean untuk sebuah gerbang XNOR ditulis :

$$Y = \overline{A} \oplus \overline{B}$$

Tabel 7. Tabel kebenaran gerbang XNOR

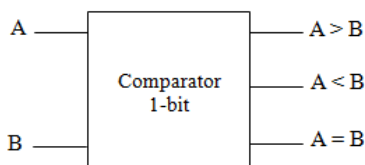
Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

**Rangkaian Kombinasional**

Rangkaian kombinasional adalah rangkaian yang nilai keluaranya (output) tergantung pada nilai masukanya (input). Rangkaian kombinasional tidak memiliki sifat memori, maka nilai keluaran rangkaian di suatu waktu hanya ditentukan oleh nilai dari masukanya di waktu tersebut. Contoh dari rangkaian kombinasional : *Comparator, Adder, Multiplexer, Demultiplexer, Encoder dan Decoder*.

**Comparator**

*Comparator* adalah rangkaian kombinasi yang mempunyai fungsi utama membandingkan dua data biner pada masukanya. Hasil atau keluaran dari perbandingan itu adalah : sama (=), lebih kecil (<), atau lebih besar (>). Dari dua data biner yang hanya terdiri dari 1-bit yang dibandingkan, dapat dikembangkan menjadi dua data biner yang terdiri dari lebih dari 1-bit, seperti 2-bit, 3-bit dan seterusnya. Berikut ini simbol comparator 1 bit :



Gambar 8. Simbol comparator 1 bit

Dilihat dari masukan dan keluaran dari sebuah *comparator*, dapat dibuat tabel kebenaran seperti tabel 8 dibawah ini :

Tabel 8. Tabel Kebenaran *comparator* 1 bit

INPUT		OUTPUT		
A	B	A > B	A = B	A < B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

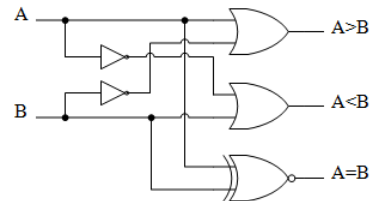
Dari uraian tabel kebenaran diatas dapat dibuat persamaan keluaranya menjadi

$$Y(A > B) = A \cdot \overline{B}$$

$$Y(A < B) = \overline{A} \cdot B$$

$$Y(A = B) = \overline{A \oplus B}$$

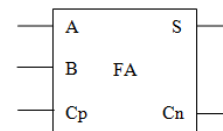
Hasil dari persamaan keluaran diatas, maka implementasi rangkaian *comparator* 1 bit seperti berikut :



Gambar 9. Rangkaian *comparator* 1 bit

**Full Adder**

*Full adder* atau biasa disebut dengan penjumlahan penuh, merupakan rangkaian penjumlahan yang menyertakan bawaan sebelumnya (*previous carry*) pada masukanya. Atas dasar pengertian tersebut, simbol *full adder* dan tabel kebenaran *full adder* 1 bit dapat disusun sebagai berikut :



Gambar 10. Simbol *full adder*

Tabel 9. Tabel kebenaran *full adder*

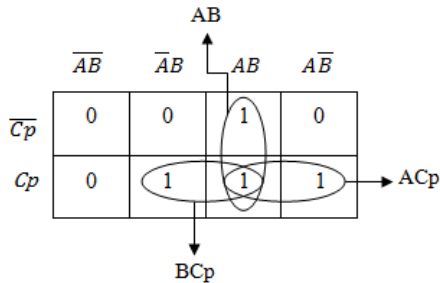
INPUT			OUTPUT	
A	B	Cp	S	Cn
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Dari tabel kebenaran 9 terlihat bahwa keluaran S membentuk fungsi detektor jumlah ganjil. Fungsi tersebut dapat diimplementasikan secara

efisien dengan menggunakan XOR 3 masukan, Sehingga persamaan keluaran untuk S :

$$S = A \oplus B \oplus C_p$$

Sedangkan untuk mendapatkan persamaan keluaran Cn, dapat menggunakan peta Karnaugh dengan berdasarkan tabel kebenaran 9.



Gambar 11. Peta Karnaugh untuk Cn

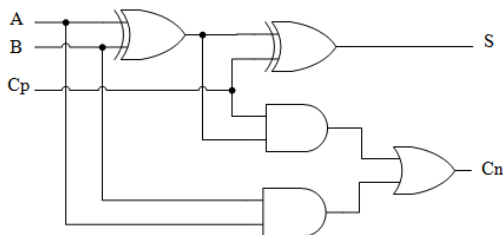
Berdasarkan peta Karnaugh tersebut dapat diperoleh persamaan keluaran untuk Cn sebagai berikut :

$$C_n = A.B + A.C_p + B.C_p$$

Selain dapat diimplementasikan dengan XOR, full adder 1 bit juga dapat diimplementasikan dengan menggunakan half adder. Jika full adder diimplementasikan dengan half adder, maka persamaan keluaran untuk S tetap yakni  $S = A \oplus B \oplus C_p$ , namun persamaan keluaran untuk Cn, perlu dimodifikasi menjadi :

$$\begin{aligned} C_n &= A.B + A.C_p + B.C_p \\ &= A.B + A.C_p(B + \bar{B}) + B.C_p(A + \bar{A}) \\ &= A.B + A.B.C_p + A.\bar{B}.C_p + A.B.C_p + \bar{A}.B.C_p \\ &= A.B(1 + C_p + C_p) + C_p(A.\bar{B} + \bar{A}.B) \\ &= A.B + (A \oplus B)C_p \end{aligned}$$

Dengan menggunakan persamaan keluaran  $S = A \oplus B \oplus C_p$  dan persamaan keluaran  $C_n = A.B + (A \oplus B)C_p$ , implementasi rangkaian full adder dengan menggunakan half adder dapat dideskripsikan seperti berikut :

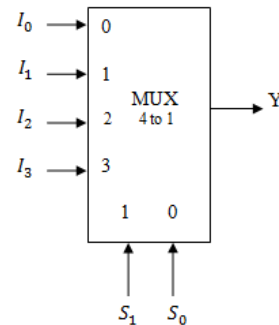


Gambar 12. Rangkaian Full Adder

**Multiplexer**

Multiplexer sering disebut MUX, merupakan rangkaian yang berfungsi memilih data (data

selector) yang ada pada masukanya (I ), untuk disalurkan ke keluaranya (Y ) dengan bantuan sinyal pemilih atau sinyal kontrol (S). Berikut simbol dan tabel kebenaran rangkaian multiplexer



Gambar 13. Simbol multiplexer 4 to 1

Dilihat dari masukan dan keluaran dari sebuah multiplexer 4 to 1, dapat dibuat tabel kebenaran seperti tabel 10 dibawah ini :

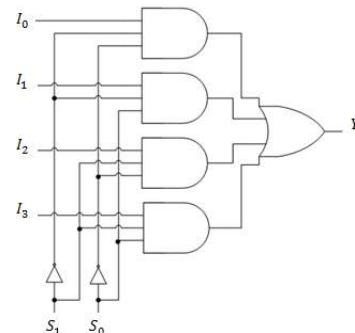
Tabel 10. Tabel kebenaran multiplexer 4 to 1

S <sub>1</sub>	S <sub>0</sub>	Y	
0	0	I <sub>0</sub>	⇨ $\bar{S}_1 \cdot \bar{S}_0 \cdot I_0$
0	1	I <sub>1</sub>	⇨ $\bar{S}_1 \cdot S_0 \cdot I_1$
1	0	I <sub>2</sub>	⇨ $S_1 \cdot \bar{S}_0 \cdot I_2$
1	1	I <sub>3</sub>	⇨ $S_1 \cdot S_0 \cdot I_3$

Multiplexer pada dasarnya adalah rangkaian berbentuk AND-OR atau SOP. Berdasarkan tabel kebenarannya, maka dapat diperoleh kelompok/suku persamaan SOP :

$$Y = \bar{S}_1 \cdot \bar{S}_0 \cdot I_0 + \bar{S}_1 \cdot S_0 \cdot I_1 + S_1 \cdot \bar{S}_0 \cdot I_2 + S_1 \cdot S_0 \cdot I_3$$

Berdasarkan persamaan diatas maka realisasi rangkaian MUX 4 to 1 dapat disusun sebagai berikut :

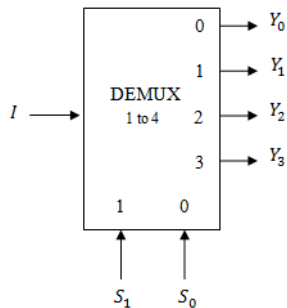


Gambar 14. Rangkaian multiplexer 4 to 1

**Demultiplexer**

Demultiplexer sering disebut dengan DEMUX, fungsi rangkaian demultiplexer

merupakan kebalikan dari fungsi rangkaian *multiplexer*. *Demultiplexer* merupakan rangkaian yang berfungsi menyalurkan data yang ada pada masukanya ke salah satu dari beberapa keluaranya dengan bantuan sinyal pemilih atau sinyal kontrol (S).



Gambar 15. Simbol *Demultiplexer* 1 to 4

Dilihat dari masukan dan keluaran dari sebuah *demultiplexer* 1 to 4, dapat dibuat tabel kebenaran seperti tabel 11 dibawah ini:

Tabel 11. Tabel kebenaran *demultiplexer* 1 to 4

$S_1$	$S_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

*Demultiplexer* pada dasarnya adalah kumpulan rangkaian gerbang AND. Berdasarkan tabel 11. Dapat diperoleh persamaan keluaran DEMUX 1 to 4 adalah :

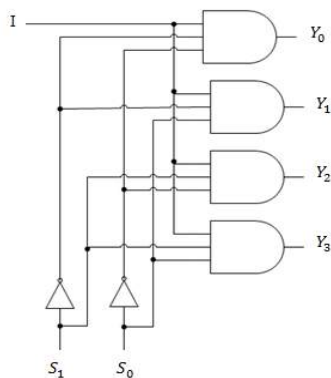
$$Y_0 = \overline{S_1} \cdot \overline{S_0} \cdot I$$

$$Y_1 = \overline{S_1} \cdot S_0 \cdot I$$

$$Y_2 = S_1 \cdot \overline{S_0} \cdot I$$

$$Y_3 = S_1 \cdot S_0 \cdot I$$

Berdasarkan persamaan keluaranya, realisasi rangkaian DEMUX 1 to 4 dapat disusun seperti gambar rangkaiannya seperti berikut :

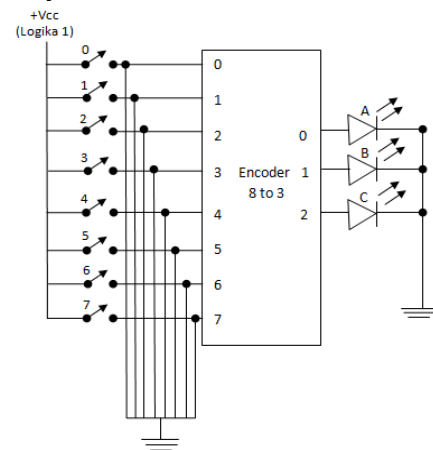


Gambar 16. Rangkaian *demultiplexer* 1 to 4

**Encoder**

*Encoder* berfungsi sebagai rangkaian untuk mengkodekan/mengubah data masukan

mejadi data bilangan biner dengan format tertentu pada keluaranya. *Encoder* dalam rangkaian digital adalah rangkaian kombinasi gerbang digital yang memiliki masukan banyak dan memiliki keluaran sedikit dalam format bilangan biner. *Encoder* akan mengkodekan setiap jalur input yang aktif menjadi kode bilangan biner. Contoh encoder seperti, encoder *desimal to BCD* yang berarti rangkaian digital yang berfungsi untuk mengkodekan masukan dengan jumlah masukan desimal (0-9) menjadi keluaran kode bilangan biner 4 bit BCD (*Binary Coded Decimal*), atau 8 to 3 *encoder* yang berarti rangkaian *encoder oktal* pada masukanya menjadi kode biner (3 bit BCD) pada keluaranya.



Gambar 17. Simbol *encoder* 8 to 3

Dilihat dari masukan dan keluaran dari sebuah *encoder* 8 to 3, dapat dibuat tabel kebenaran seperti tabel 12 dibawah ini :

Tabel 12. Tabel kebenaran *encoder* 8 to 3

INPUT								OUTPUT		
0	1	2	3	4	5	6	7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

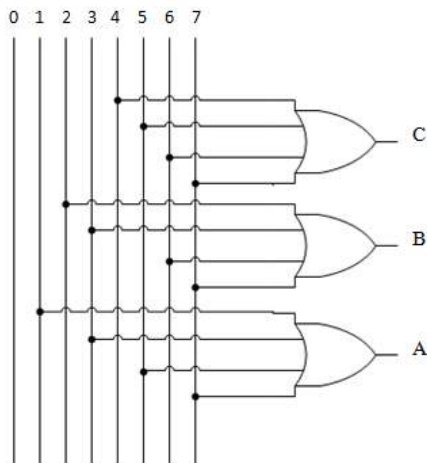
Berdasarkan tabel kebenaranya, didapat persamaan sebagai berikut :

$$A = 1+3+5+7$$

$$B = 2+3+6+7$$

$$C = 4+5+6+7$$

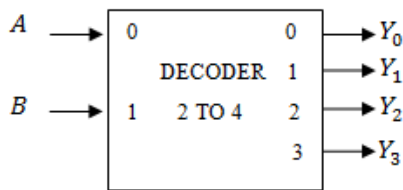
Atas dasar persamaan keluaran dari *encoder* 8 to 3 dapat realisasikan rangkaian digitalnya sebagai berikut :



Gambar 18. Rangkaian *encoder* 8 to 3

**Decoder**

*Decoder* merupakan rangkaian yang berfungsi mengkodekan/mengubah ulang data bilangan-bilangan biner pada masukannya menjadi data asli pada outputnya. Fungsi rangkaian *decoder* merupakan kebalikan dari fungsi rangkaian *encoder*. Contoh decoder seperti, *decoder 2 to 4*, *decoder BCD* ke desimal atau *decoder 4 to 10* yang berarti rangkaian digital yang berfungsi untuk menafsirkan kode-kode BCD (*Binary Coded Decimal*) pada masukannya dan menjadi bilangan desimal (0-9) pada keluarannya.



Gambar 19. Simbol *decoder 2 to 4*

Dilihat dari masukan dan keluaran dari sebuah *decoderr 2 to 4*, dapat dibuat tabel kebenaran seperti tabel 13 dibawah ini :

Tabel 13. Tabel kebenaran *decoder 2 to 4*

INPUT		OUTPUT			
B	A	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Berdasarkan tabel kebenaran pada tabel 13, pada baris ke-1 terlihat keluaran  $Y_0 = 1$  dan keluaran lainnya 0, jika masukannya adalah 00 (B = 0 dan A = 0). Hal seperti ini *decoder* menafsirkan kode 00 biner sebagai 0 desimal. Demikian pula

pada baris ke-2, masukannya adalah 01 (B = 0 dan A = 1), nilai keluaran yang memiliki nilai 1 adalah  $Y_1$  ( $Y_1 = 1$ ) berarti *decoder* menafsirkan kode 01 biner sebagai 1 desimal. Selanjutnya baris ke-3, masukannya adalah 10 (B = 1 dan A = 0), nilai keluaran yang memiliki nilai 1 adalah  $Y_2$  ( $Y_2 = 1$ ) berarti *decoder* menafsirkan kode 10 biner sebagai 2 desimal. Untuk masukan berupa kode biner 11 nilai keluaran 1 dimiliki oleh  $Y_3$  ( $Y_3 = 1$ ) . Hal seperti ini *decoder* menafsirkan kode 11 biner sebagai 3 desimal. Dari uraian diatas didapat persamaan keluaran dari rangkaian *decoder 2 to 4* adalah sebagai berikut :

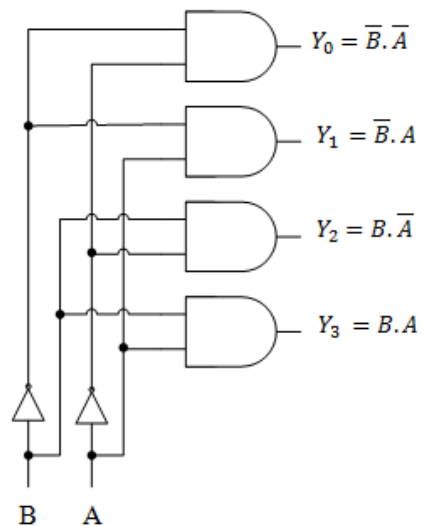
$$Y_0 = \bar{B} \cdot \bar{A}$$

$$Y_1 = \bar{B} \cdot A$$

$$Y_2 = B \cdot \bar{A}$$

$$Y_3 = B \cdot A$$

Jadi berdasarkan persamaan diatas, realisasi dari rangkaian *decoder 2 to 4* adalah :



Gambar 20. Rangkaian *decoder 2 to 4*

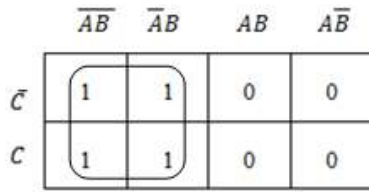
**Karnaugh Map**

*Karnaugh map* adalah sebuah metode penyederhanaan secara grafis berupa tabel kebenaran yang menunjukkan level keluaran dari persamaan aljabar *Boolean* untuk setiap kemungkinan masukan variabel kombinasi yang dikehendaki. Setiap level keluaran ditempatkan pada sel atau kotak dari peta karnaugh. Keluaran yang dikehendaki ditandai dengan “1” sisanya ditandai dengan “0”. Banyaknya jumlah sel pada peta karnaugh mengikuti aturan biner, yaitu dengan menggunakan rumus:

$$A = 2^n$$

n = Jumlah variabel masukan

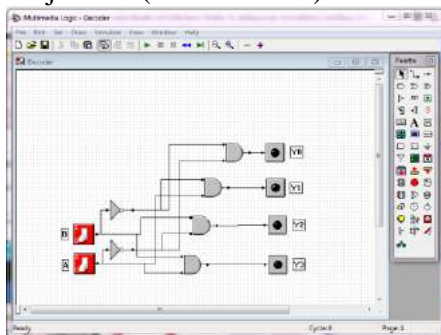
A = Banyaknya sel atau kotak



Gambar 21. Karnaugh map dengan 3 variabel masukan

**Multimedia Simulator**

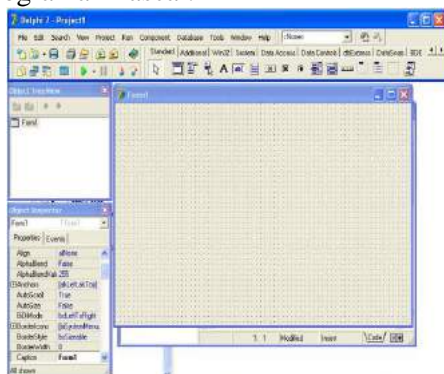
Multimedia Simulator digunakan untuk mendesain rancangan rangkaian logika, sehingga rancangan rangkaian logika tersebut dapat diuji coba (disimulasikan).



Gambar 22. Multimedia simulator

**Pemrograman Delphi**

Bahasa pemrograman Delphi adalah pemrograman berorientasi objek yang merupakan pengembangan dari bahasa pemrograman Pascal.



Gambar 23. Pemrograman Delphi

**METODE**

Metode yang digunakan dalam penelitian ini menggunakan metode penelitian pengembangan ( *Research and Development / R&D* ). Penelitian pengembangan adalah metode penelitian yang digunakan untuk menghasilkan produk tertentu, dan menguji keefektifan produk tersebut, dalam penelitian ini

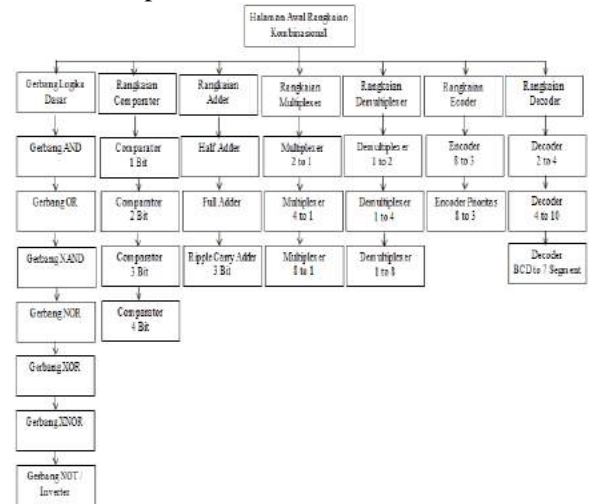
produk yang dihasilkan adalah sebuah aplikasi media pembelajaran simulasi rangkaian kombinasional berbasis kolaborasi multimedia simulator dan pemrograman Delphi.

**Analisa Kebutuhan**

Menganalisa data yang dibutuhkan berupa materi dan data yang telah dikumpulkan yaitu gerbang logika dasar, aljabar *Boolean*, *Karnaugh Map*, rangkaian kombinasional dan perancangan rangkaian kombinasional. Materi yang telah dikumpulkan akan dibuat beberapa menu. Dalam setiap menu materi terdapat penjelasan dan simulasi rangkaian. Aplikasi berbasis Dekstop agar dapat digunakan didalam kelas. Pengguna dapat mengakses semua menu materi dan bisa melakukan aksi berupa input saklar *toggle* maupun saklar *momentary*

**Sitemap**

Pada perancangan media pembelajaran simulasi rangkaian kombinasional ini, dirancang sebuah *sitemap* yang menggambarkan peta menu aplikasi ini. Dalam aplikasi ini terdapat tujuh menu materi setiap menu materi terdiri dari beberapa materi.



Gambar 24. Sitemap

**HASIL DAN PEMBAHASAN**

Berikut adalah hasil dan pembahasan dari aplikasi media pembelajaran simulasi rangkaian kombinasional .

**Halaman Awal Simulasi Rangkaian Kombinasional**

Pada halaman awal ditampilkan judul aplikasi dengan background putih, tombol menu materi rangkaian kombinasional dengan



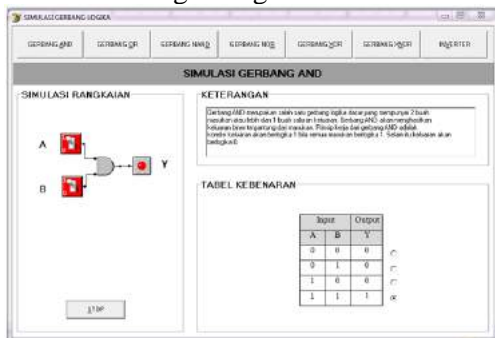
background abu-abu, diantaranya : Gerbang Logika, *Comparator*, *Adder*, *Multiplexer*, *Demultiplexer*, *Encoder* dan *Decoder*.



Gambar 25. Halaman awal

**Halaman Simulasi Gerbang Logika**

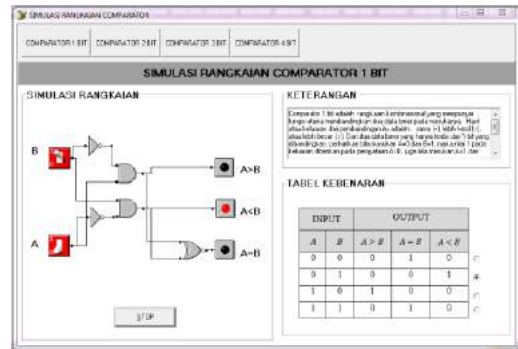
Pada halaman simulasi gerbang logika menampilkan simulasi dari gerbang-gerbang logika dasar, seperti gerbang : AND, OR, NAND, NOR, XOR, XNOR dan *INVERTER*. Tampilan dibawah menunjukkan simulasi kerja dari gerbang AND. Pada bagian SIMULASI RANGKAIAN user dapat secara interaktif menekan saklar kearah 1 atau 0, baik disaklar A dan B. Penekanan saklar akan memberikan masukan ke gerbang AND dan menghasilkan keluaran (Y) berupa lampu LED berwarna merah. Pada bagian TABEL KEBENARAN ditunjukkan nilai keluaran berupa radiobutton yang sesuai dengan aksi dari rangkaian. Pada bagian KETERANGAN berisi teori maupun karakteristik dari gerbang AND.



Gambar 26. Halaman simulasi gerbang AND

**Halaman Simulasi Rangkaian Comparator**

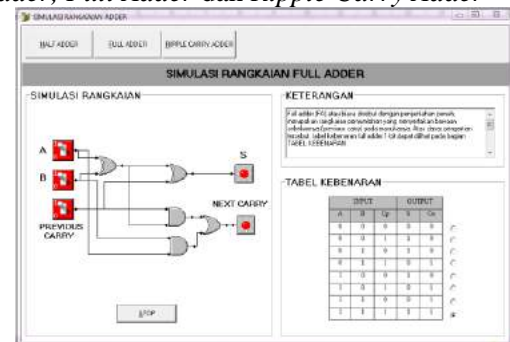
Pada halaman simulasi rangkaian *comparator*, menampilkan simulasi dari rangkaian : *Comparator 1 bit*, *Comparator 2 bit*, *Comparator 3 bit* dan *Comparator 4 bit*



Gambar 27. Halaman simulasi rangkaian *comparator 1 bit*

**Simulasi Rangkaian Adder**

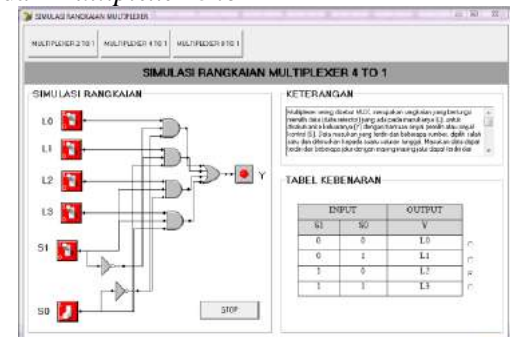
Pada halaman simulasi rangkaian *adder*, menampilkan simulasi dari rangkaian : *Half Adder*, *Full Adder* dan *Ripple Carry Adder*



Gambar 28. Halaman simulasi rangkaian *full adder*

**Halaman Simulasi Rangkaian Multiplexer**

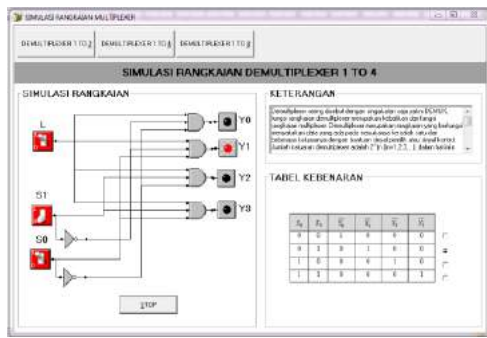
Pada halaman simulasi rangkaian *multiplexer*, menampilkan simulasi dari rangkaian : *Multiplexer 2 to 1*, *Multiplexer 4 to 1* dan *Multiplexer 8 to 1*



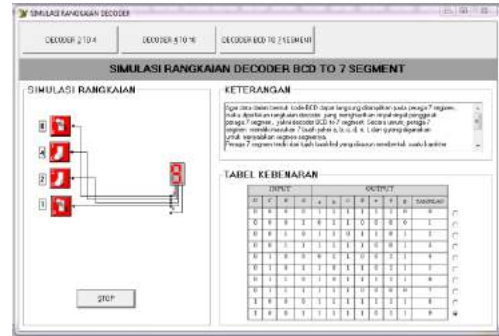
Gambar 29. Halaman simulasi rangkaian *multiplexer 4 to 1*

**Halaman Simulasi Rangkaian Demultiplexer**

Pada halaman simulasi rangkaian *demultiplexer*, menampilkan simulasi dari rangkaian : *Demultiplexer 1 to 2*, *Demultiplexer 1 to 4* dan *Demultiplexer 1 to 8*.



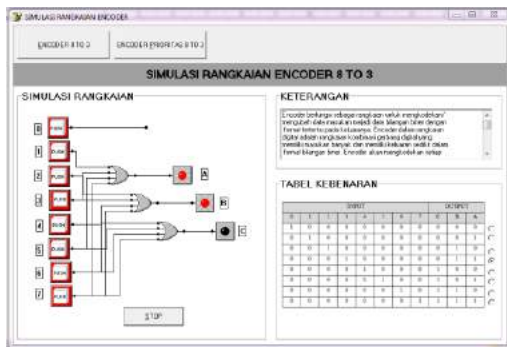
Gambar 30. Halaman simulasi rangkaian demultiplexer 1 to 4



Gambar 33. Halaman simulasi rangkaian decoder BCD to 7 segment

**Halaman Simulasi Rangkaian Encoder**

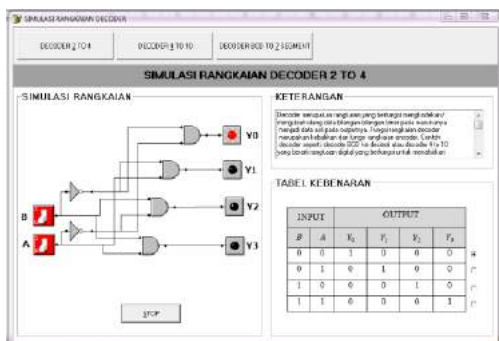
Pada halaman simulasi rangkaian encoder, menampilkan simulasi dari rangkaian : Encoder 8 to 3 dan Encoder Prioritas 8 to 3.



Gambar 31. Halaman simulasi rangkaian encoder 8 to 3

**Halaman Simulasi Rangkaian Decoder**

Pada halaman simulasi rangkaian decoder, menampilkan simulasi dari rangkaian : Decoder 2 to 4, Decoder 4 to 10 dan Decoder BCD to 7 Segment



Gambar 32. Halaman simulasi rangkaian decoder 2 to 4

**SIMPULAN DAN SARAN**

Berdasarkan hasil penelitian dan pembahasan yang dilakukan sebelumnya, dapat disimpulkan sebagai berikut:

- Aplikasi simulasi rangkaian kombinasional sebagai media pembelajaran yang telah dibuat dapat memberikan hasil keluaran yang tepat berdasarkan perhitungan dari teori-teori rangkaian digital yang ada.
- Dengan adanya aplikasi simulasi rangkaian kombinasional sebagai media pembelajaran, mahasiswa dapat lebih memahami bagaimana rangkaian-rangkaian kombinasional bekerja sehingga dapat menaikan nilai dalam matakuliah Sistem Digital
- Memperkecil terjadinya kesalahan atau error pada saat melakukan pengujian dipraktikum dengan alat yang sesungguhnya.
- Kombinasi Multimedia Simulator dan Pemrograman Delphi merupakan aplikasi berbasis Windows sangat cocok digunakan sebagai media didalam merancang aplikasi dalam bentuk simulasi.

Beberapa saran yang dapat disampaikan dalam penelitian ini adalah :

- Aplikasi yang di buat lebih terfokus tentang simulasi rangkaian kombinasional saja, sehingga diharapkan untuk kedepanya adanya pengembangan untuk rangkaian-rangkaian digital lainnya
- Diharapkan bagi pengembang yang ingin mengembangkan aplikasi simulasi ini, untuk dapat lebih memperkaya event dan control agar antarmuka dari aplikasi ini dapat terlihat lebih menarik dan interaktif.

**DAFTAR PUSTAKA**

Edwana, N., Rahmad, M., & Islami, N. (2017). Pengembangan Media Pembelajaran

- Berbasis Borland Delphi 7 Pada Materi Gelombang Elektromagnetik. *JOMFKIP*.
- Indrawaty, Y., Kristina, L., & Nugraha, S. (2012). Aplikasi Pembelajaran Rangkaian Kombinasional Multimedia Interaktif Model TimelineTree. *Jurnal Itenas*.
- Jaya, H. (2013). Perancangan Media Praktikum Elektronika Digital Berbasis Birtual. *Jurnal Inspiration*.
- Saputri, R. R., & Sodang, M. (2015). *Pengembangan Media Pembelajaran Berbantu Software Flash 8 pada Mata Kuliah Rangkaian Digital Untuk Mahasiswa D3 Manajemen Informatika Di Universitas Negeri Surabaya*. Retrieved from <http://lib.unnes.ac.id/20764/1/5302410159-S.pdf>
- Sugiartowo. (2015). *Konsep Dasar Rangkaian Digital Teori dan Aplikasinya*. Jakarta: UMJ Press.
- Tocci dkk. (2011). *Digital System Principles and Applications*. New Jersey: Prentice.